

(51)

Int. Cl.:

G 06 f, 7/48

BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES PATENTAMT



(52)

Deutsche Kl.:

42 m3, 7/48

(10)

(11)

(21)

(22)

(43)

# Offenlegungsschrift 2 312 128

Aktenzeichen: P 23 12 128.0

Anmeldetag: 10. März 1973

Offenlegungstag: 12. September 1974

Ausstellungspriorität: —

(30)

Unionspriorität

(32)

Datum: —

(33)

Land: —

(31)

Aktenzeichen: —

(54)

Bezeichnung: Schaltungsanordnung zur Bestimmung des dualen Logarithmus einer Binärzahl

(61)

Zusatz zu: —

(62)

Ausscheidung aus: —

(71)

Anmelder: Rotthaus, Dirk, Dr.-Ing., 5804 Herdecke; Jahn, Klaus-Dieter, Dipl.-Ing.; 3000 Hannover

Vertreter gem. § 16 PatG: —

(72)

Als Erfinder benannt: Erfinder sind die Anmelder

DT 2312128

Schaltungsanordnung zur Bestimmung des dualen Logarithmus  
ein r Binärzahl

Die Erfindung betrifft eine Schaltungsanordnung zur Bestimmung des dualen Logarithmus einer Binärzahl, bei der die einzelnen Ziffern der zu logarithmierenden Zahl über parallele Anschlüsse gleichzeitig dem Eingang der Anordnung zugeführt werden und mit Hilfe einer festverdrahteten Rechenschaltung gleichzeitig der duale Logarithmus der Eingangszahl gebildet und binär ausgegeben wird. Dabei wird zur Berechnung des dualen Logarithmus ein Näherungsverfahren verwendet und die Binärzahl am Ausgang der Anordnung durch eine Begrenzung ihrer Stellenzahl hinter dem Komma gerundet.

In der Schwingungsmeßtechnik, in der akustischen Meßtechnik und in anderen Bereichen, in denen Meßdaten wegen des großen erforderlichen Dynamikumfangs oder aus anderen Gründen in einem logarithmischen Maßstab dargestellt werden müssen, werden vielfach analoge elektrische Rechenschaltungen zur Logarithmierung verwendet. Diese sind jedoch über einen großen Dynamikbereich nur mit großem elektronischen Aufwand realisierbar, vor allem auch deshalb, weil temperaturbedingte Änderungen der Eigenschaften der verwendeten Bauelemente zu Fehlern führen können.

Sollen Meß- oder Rechenergebnisse, die mittels eines digitalen Rechners bestimmt wurden, durch einen analogen Schrieb in einem logarithmischen Maßstab ausgegeben werden, so kann man den i.a. beliebig großen Dynamikumfang der Rechnung durch eine Anordnung von hochauflösenden Digital-Analog-Umsetzern und analogen Logarithmierern weitgehend ausnutzen. Eine Verbesserung dieses Verfahrens läßt sich bekanntlich dadurch erreichen, daß der Logarithmus des auszugebenden Wertes bereits in der digitalen Ebene durch den Rechner gebildet und anschließend dem Digital-Analog-Umsetzer zugeführt wird. Bei dieser Methode entfallen vor allem die Nachteile analoger Logarithmier r.

409837/0653

Die Berechnung des Logarithmus einer Zahl kann im Rechner durch die Ausführung bestimmter Programmschritte erreicht werden. Dazu ist eine bestimmte vom Programm abhängige Rechenzeit erforderlich.

Der Erfindung liegt die Aufgabe zu Grunde, eine Schaltungsanordnung zu finden, bei der durch eine festverdrahtete Anordnung elektronischer Bauelemente der duale Logarithmus einer an parallelen Anschlüssen anstehenden Binärzahl ohne eine programmabhängige Verzögerung unmittelbar an parallelen Anschlüssen ausgegeben wird. Der Aufwand an elektronischen Bauelementen soll dabei begrenzt sein, so daß eine einfache Realisierung bei hinreichend kleinem Umsetzungsfehler unter Verwendung handelsüblicher integrierter Logikelemente möglich ist, und die gesamte Schaltungsanordnung auch mit nur einer einzelnen integrierten Schaltung z.B. in MOS-Technik verwirklicht werden kann.

Diese, der Erfindung zu Grunde liegende Aufgabe, wird dadurch gelöst, daß zunächst eine mathematische Näherungslösung für den dualen Logarithmus eingeführt wird, die sich durch elektronische Logikelemente in einfacher Weise verwirklichen läßt.

Die Begrenzung des Aufwandes an Bauelementen wird zusätzlich durch ein Rundungsverfahren erreicht. Die Realisierung wird angegeben und an einem Beispiel erläutert.

Die mathematische Näherungslösung für den dualen Logarithmus einer Binärzahl geht davon aus, daß zunächst eine ganzzahlige Kennzahl gesucht wird, so daß der Wert des Logarithmus zwischen dieser und der nächstfolgenden ganzen Zahl liegt. Eine solche Kennzahl erhält man aus der Wortlänge der dualen Eingangszahl. Sie ergibt sich als die um eins verminderte Zahl der binären Stellen, wobei führende Nullen der Binärzahl vor der Bestimmung der Kennzahl unterdrückt werden müssen. In mathematischer Schreibweise:

409837/0653

$$K = \text{Ent} (\text{Ld} (Z)) \quad (1)$$

mit  $K = K$  nnzahl

$Z =$  binäre Eingangszahl

$\text{Ent}(X) =$  Entierfunktion = größte ganze Zahl,  
die kleiner oder gleich  $X$  ist

$\text{Ld}(Z) =$  Logarithmus dualis von  $Z$

Ist die Zahl  $Z$  gleich einer ganzzahligen Potenz von zwei, so ist die Kennzahl gleich dem dualen Logarithmus, z.B.:

Z		K = Ld(Z)	
dezimal	binär	dezimal	binär
1	1	0	0
2	10	1	1
4	100	2	10
8	1000	3	11
16	10000	4	100

Ist die Zahl  $Z$  ungleich einer ganzzahligen Potenz von zwei, so liegt der Wert für deren dualen Logarithmus zwischen der Kennzahl  $K$  und der nächst größeren:

$$K \leq \text{Ld}(Z) \leq K + 1 \quad (2)$$

Diese Zwischenwerte für den dualen Logarithmus werden nun dadurch angenähert, daß die Kennzahl um eine Zahl  $A$  vermehrt wird, die sich aus der Ziffernfolge der Binärzahl am Eingang ergibt.

Dafür wird folgende Rechenvorschrift eingeführt: die Binärzahl  $Z$  wird um die  $K$ -te Potenz von zwei vermindert; damit wird die erste Ziffer der Zahl  $Z$  gelöscht, die restliche Ziffernfolge bleibt erhalten. Wird dieser Rest solange nach rechts verschoben, bis er hinter dem Komma steht, so ergibt sich damit die Zahl  $A$ :

$$A = \frac{Z - 2^K}{2^K} \quad (3)$$

$$A = \frac{Z}{2^K} - 1 \quad (4)$$

409837/0653

Es ergibt sich damit als Näherungslösung für den dualen Logarithmus der Zahl Z

$$\text{Ld}(Z) = K + A \quad (5)$$

$$\text{Ld}(Z) = \text{Ent}(\text{Ld}(Z)) + \frac{Z}{2^{\text{Ent}(\text{Ld}(Z))}} - 1 \quad (6)$$

Stellt man das Näherungsverfahren graphisch dar, so wird deutlich, daß die Kurve

$$X = \text{Ld}(Z) \quad (7)$$

durch einen Polygonzug ersetzt wird, dessen Eckpunkte bei jeweils

$$Z = 2^K$$

auf der Kurve liegen, vergl. Fig. 1.

Es sei zum Beispiel der duale Logarithmus der Zahl

$$Z = 1011011 \quad (\text{binär})$$

nach diesem Verfahren berechnet: es ergibt sich

$$K = 110 \quad (\text{binär})$$

$$A = 0.011011 \quad (\text{binär})$$

und damit als dualer Logarithmus;

$$\text{Ld}(1011011) \approx 110.011011$$

Die Näherungslösung verursacht im Ergebnis des dualen Logarithmus einen stets negativen systematischen Fehler, der vom jeweiligen Wert der Zahl Z abhängt. Der Näherungswert für den dualen Logarithmus ist immer kleiner als der wahre Wert; nur für den Fall

$$Z = 2^K$$

ist der Fehler null, vergl. auch Fig. 1.

Eine zusätzliche Binärziffer entspricht in logarithmischer Darstellung einem Spannungsverhältnis von 6 Dezibel [dB]. Der Fehler, der bei der beschriebenen Näherungslösung für den dualen Logarithmus auftritt, ist immer kleiner als -0,55 dB.

409837/0653

Bei der praktisch n Ausführung einer Schaltung, die nach diesem Algorithmus näherungsweise den dualen Logarithmus einer Zahl berechnet; ist es sinnvoll, die Stellenzahl der Zahl A hinter dem Komma zu begrenzen, um Bauelement einzusparen. Die gerundete Näherungslösung für den dualen Logarithmus der Zahl Z erhält dann die Form:

$$Ld(Z) \approx \frac{Ent(2^M(Ent(Ld(Z)) - 1 + \frac{Z}{2^{Ent(Ld(Z))}}))}{2^M} \quad (8)$$

M = Stellenzahl hinter dem Komma der Ausgangszahl nach der Rundung

Durch die Rundung entsteht ein zusätzlicher Fehler im Näherungswert. Daher wird die Stellenzahl M hinter dem Komma der Ausgangszahl zweckmäßigerweise so gewählt, daß der Fehler im Näherungswert nicht oder nur unwesentlich vergrößert wird. Man erreicht durch eine Rundung auf 4 Stellen hinter dem Komma einen Gesamtfehler von  $< -0,71$  dB, bei einer Rundung auf 5 Stellen einen Gesamtfehler von  $< 0,61$  dB und bei einer Rundung auf 6 Stellen einen Gesamtfehler von  $< 0,56$  dB. Diese Fehlergrenze ist bei den genannten Anwendungsfällen fast immer ausreichend klein. Sowohl der Näherungsalgorithmus für den dualen Logarithmus, als auch das Rundungsverfahren lassen sich durch eine Schaltungsanordnung nach Fig. 2 verwirklichen.

Diese Schaltungsanordnung nach Fig. 2 ist als ein Beispiel für ein Eingangswort von 16 Bit ausgelegt. Die Rundung des Ausgangswortes beträgt 4 Stellen hinter dem Komma. Die Anordnung ist nach den erläuterten Verfahren sowohl für eine größere Eingangswortlänge als auch für weitere Stellen hinter dem Komma des Ausgangswortes erweiterbar.

Im Folgenden wird die Schaltungsanordnung nach Fig. 2 beschrieben:

Die zu logarithmierende Binärzahl steht am Eingang der Schaltungsanordnung parallel an. Zur Bestimmung der Kennzahl K ist zunächst die Wortlänge des binären Wortes am Eingang zu bestimmen, wobei führende Nullen des Binärwortes nicht berück-

409837/0653

sichtigt werden dürfen. Dazu wird jedes Bit des Eingangswortes einem ODER-Gatter zugeführt. An den Ausgängen der 16 ODER-Gatter steht ein binäres Wort an, das genau so viele führende Nullen besitzt wie das Eingabewort und von der ersten auftretenden Eins bis zu den Bits mit der geringsten Wertigkeit mit Einsen aufgefüllt wird. Dieses binäre Wort wird auf eine Kombination von EXKLUSIV-ODER-Gattern gegeben. In dieser Stufe wird das binäre Wort so umgeformt, daß nur noch an der Stelle, an der die führende Eins des Eingangswortes auftrat, eine Eins ist. Der Rest des Wortes besteht aus Nullen. Das Ausgabewort dieser EXKLUSIV-ODER-Stufe ist die gesuchte Kennzahl K, dargestellt in einem 1-aus-16-Code.

In einer anschließenden Codewandlerstufe wird die Kennzahl K aus dem 1-aus-16-Code in den reinen Dual-Code umgewandelt. Die daraus entstandene binär dargestellte Kennzahl K wird als ganzzahliger Anteil des gesuchten Logarithmus dualis des Eingabewortes Z ausgegeben und außerdem noch zur Ansteuerung einer Auswahlstufe benutzt, die aus vier 16-Bit-Multiplexern besteht. An die Eingänge der Multiplexer ist das Eingabewort jeweils um 1 Bit versetzt angeschlossen. Nach den 4 Multiplexern werden die 4 Bit unverändert ausgegeben, die auf die führende Eins des Eingabewortes folgen. Diese 4 Bit stellen den gebrochenen Anteil des gesuchten Näherungswertes für  $\lg Z$  dar.

409837/0653

An einem Beispiel soll noch einmal die Funktion d r Schaltung  
erläutert werden.

Eingabewort Z	0000000001011011		
ODER-Stufe			
Ausgabe aus ODER-Stufe	0000000001111111		
Eingabe in EXKLUSIV-ODER-Stufe			
EXKLUSIV-ODER-Stufe			
Ausgabe aus EXKLUSIV-ODER-Stufe	0000000001000000		
Eingabe in Codewandlerstufe			
Codewandlerstufe			
Ausgabe aus Codewandlerstufe	000000110.		
= Kennziffer K			
Eingabewort in die Auswahl-Stufe	0000000001011011		
Steuerwort für die Auswahl-Stufe	0110		
Ausgabe aus der Auswahl-Stufe		.0110	
Rundungsfehler			11
	binär	dezimal	
Ausgabewort der			
Logarithmierschaltung	01100110	=	6,375
Exakter Wert $L_d(Z)$		=	6,508



Patentansprüche

1. Schaltungsanordnung zur Bestimmung des dualen Logarithmus einer Binärzahl, bei der die einzelnen Ziffern der zu logarithmierenden Binärzahl über parallele Anschlüsse gleichzeitig dem Eingang der Anordnung zugeführt werden und mit Hilfe einer festverdrahteten Rechenschaltung der duale Logarithmus der anstehenden Binärzahl gebildet wird, so daß an parallelen Ausgangsanschlüssen der Anordnung gleichzeitig eine Binärzahl ausgegeben wird, die dem dualen Logarithmus der Eingangszahl entspricht, dadurch gekennzeichnet, daß zur Berechnung des dualen Logarithmus ein Näherungsverfahren verwendet wird, bei welchem der duale Logarithmus der Eingangszahl aus der Summe der um zwei verminderten Stellenzahl vor dem Komma der Eingangszahl und dem Quotienten aus der Eingangszahl und der Potenz von zwei mit dem Exponenten, der gleich der um eins verminderten Stellenzahl vor dem Komma der Eingangszahl ist, gebildet und die Ausgangszahl durch eine Begrenzung ihrer Stellenzahl hinter dem Komma gerundet wird.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Rechenschaltung aus einer Kombination von ODER und EXKLUSIV-ODER-Schaltungen zur Bestimmung der um eins verminderten Stellenzahl vor dem Komma der Eingangszahl aufgebaut ist, wobei die Stellenzahl in einer 1 aus N-Code-Darstellung entsteht, und dieser Wert durch eine Umkodierschaltung aus NICHT ODER- und NICHT UND-Schaltungen in einem dualen Code umgewandelt und einerseits als Zifferndarstellung für die Stellen vor dem Komma der Ausgangszahl am Ausgang erscheint und andererseits gleichzeitig über Multiplexerschaltungen aus der Eingangszahl die Stellen hinter dem Komma der Ausgangszahl so auswählt, daß die Rechenvorschrift nach Anspruch 1 erfüllt wird und eine duale Zahl am Ausgang erscheint, die dem Näherungswert des dualen Logarithmus der Eingangszahl entspricht.

409837/0653

3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Rechenschaltung durch eine inzigc hochintegrierte Schaltung in MOS-Technik verwirklicht wird.

409837/0653

Ld (Z)

2312128

dezimal

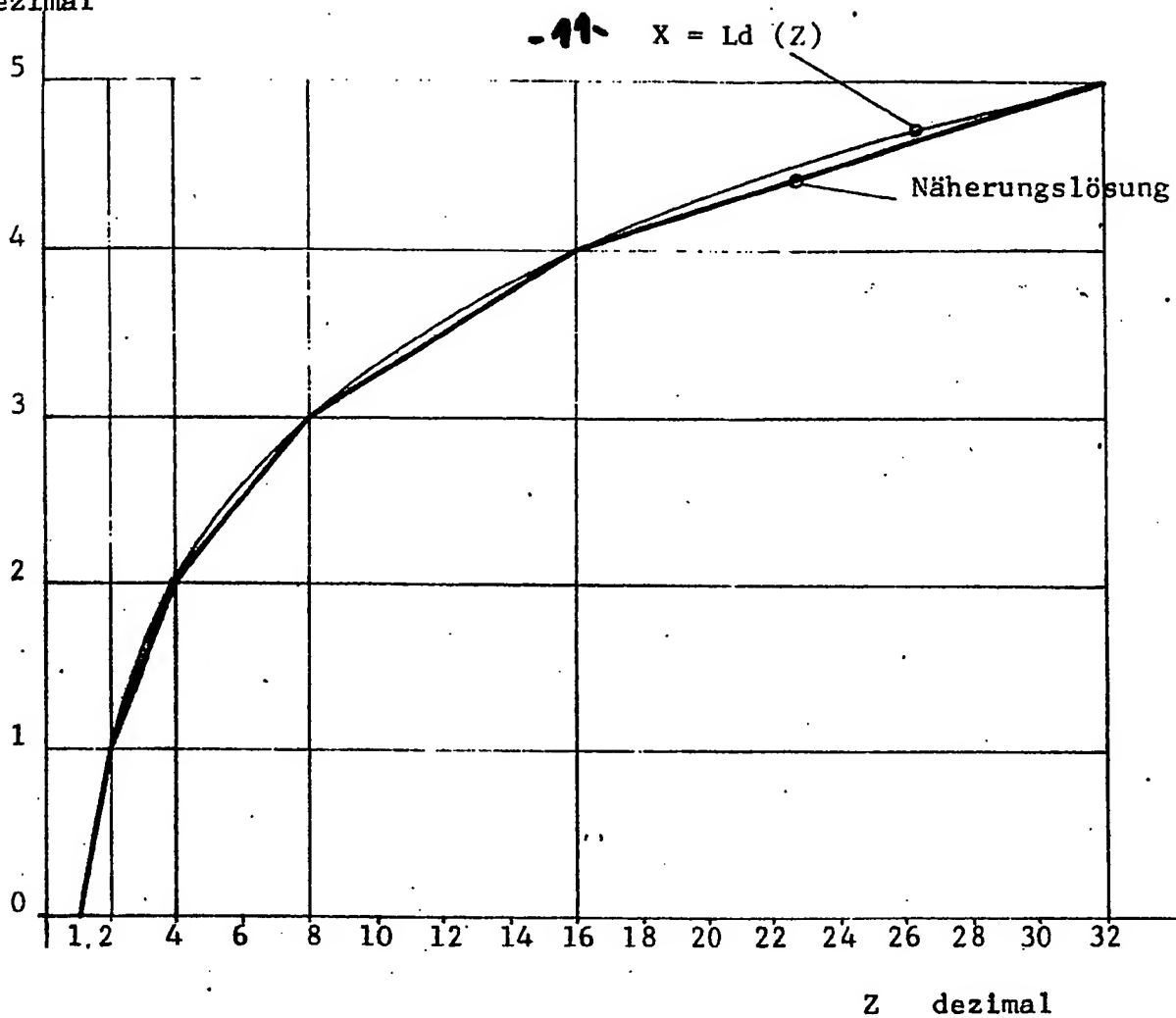


Fig. 1

42m3 7-48 AT: 10.03.1973 OT: 12.09.1974

409837/0653

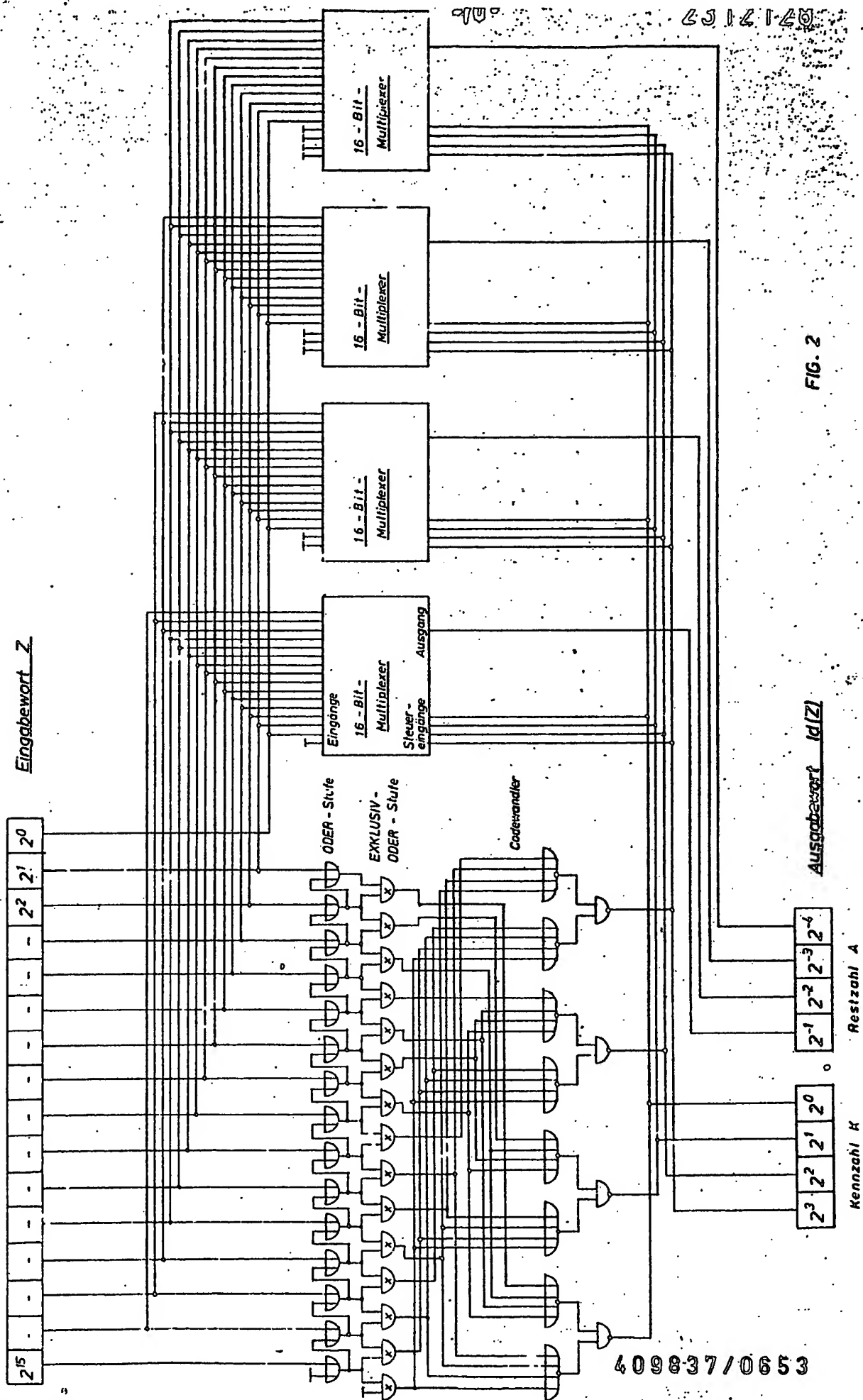


FIG. 2

409837/0653